SiC MOSFET(400V): Infineon IMBG40R045M2H 概要、構造、プロセスと電気特性解析レポート

パッケージ

SiC MOSFETチップ

背景・概要

人工知能(AI)プロセッサの計算要件が増加するにつれて、サーバー電源(PSU)は、大電力を効率よく供給する必要があります。2024年5月 Infineonから人工知能(AI)電源用に 第2世代CoolSiCテクノロジーを使った400V SiC MOSFETが発表されました。本製品は、GaNトランジスタの領域とも競合する**400V 範囲の最初の産業用 SiC MOSFET**で、今後の採用動向も注目されています。

今回、構造、プロセス、特性評価など、製品の特徴を明らかにしたレポートを3部構成でリリースします。

製品特徴

型番:IMBG40R045M2H Vdss= 400V 43A 44.9mΩ 製品リリース日:2024年5月

データシート: https://www.infineon.com/dgdl/Infineon-IMBG40R045M2H-DataSheet-v02_00-EN.pdf

- ・650V SiCおよびSi MOSFETと比較して、超低伝導損失とスイッチング損失
- ・スイッチング電源(サーバーやAI向け)、Energy storage, UPS, battery formation、Class-D オーディオ

解析内容・結果概要(各レポートの目次はP.2, 4, 6を参照。)

① 概要解析レポート: 価格 ¥300,000(税別) 発注後1weekで納品

- ・パッケージとチップ観察、セル部、チップ終端部の断面観察。

② 構造解析レポート: 価格 ¥750,000(税別) 発注後1weekで納品

- ・①概要解析の内容を含む、SiC MOSFET平面・断面構造解析、セル部(TEM)。
- ・Infineon独自の非対称トレンチゲート構造を採用し、セルピッチを縮小することで、真性オン抵抗 $RON_{AA}=103m\Omega \cdot mm^2$ を実現しました。
- ・N-epiドリフト領域の厚さとドーピングは、400V動作に合わせて調整されています。

③ プロセスと電気特性解析レポート: 価格 ¥600,000(税別) 発注後1weekで納品

- ・製造プロセス工程抽出および特徴プロセスを観察と考察。
- ・N-epi濃度プロファイル抽出。
- ・電気特性とデバイス構造の考慮: 極薄 N-epi と RON成分(Rch, Repi) および破壊電圧相關。

主に、BVdss対 定格ドレイン電圧 (Vdss = 400V) の狭いマージン。

① 概要解析レポート 目次

【目次】		Page
1	デバイスサマリー	
	Table1-1:デバイスサマリー	… 3
1-1.	解析結果まとめ	… 4
	Table1-2: デバイス構造: SiC MOSFET	… 5
	Table1-3: デバイス構造: レイヤー材料・膜厚	…
2	パッケージ解析	
2-1.	外観観察	… 7
3	SiC MOSFETチップ構造解析	
3-1.	平面構造解析(OM)	… 9
3-2.	セル部 断面構造解析	… 10
3-3.	外周部 断面構造解析	… 11
4	第二世代1200V品との比較	… 12-13

① 概要解析レポートからの抜粋

Table1-1: Device summary

Device	SIC MOSFET (VDSS=400V, $R_{DS(on)}$ (Typ.) = 44.9m Ω (V_{GS} = 18V), I_D = 43A) R_{onAA} = (m Ω ·mm ²)
Manufacturer	Infineon Technologies AG (Germany)
Product name	IMBG40R045M2H
Package type	PG-TO263-7
Package marking	40R045M2 HAA2430
Die configuration	Transistor: SIC MOSFET x1
Die size	mm × mm = mm ²
SIC MOSFET Die manufacturing process	SIC wafer, asymmetric trench gate, top metal source
Feature	<ul style="list-style-type: none"> 本製品は第二世代プロセス技術を使用。 本製品(400V品)と第二世代1200V品との構造の比較の結果、以下のことが確認された。(P.12, 13) . . 本製品は第二世代品をカスタマイズした製品であると推定。
Application	<ul style="list-style-type: none"> SMPs (Switch-Mode Power Supply) for Servers and AI Solar PV inverters Energy storage, UPS and battery formation Class-D audio Motor drives

デバイスサマリー

パッケージ外観

セル部 断面SEM像

チップ外周部 断面SEM像

第二世代1200V品との比較(チップサイズ、チップレイアウト)

② 構造解析レポート 目次

【目次】		Page
1	デバイスサマリー	
	Table1-1: デバイスサマリー	… 3
1-1.	解析結果まとめ	… 4
	Table1-2: デバイス構造: SiC MOSFET	… 5
	Table1-3: デバイス構造: レイヤー材料・膜厚	… 6
	Table1-4: デバイス構造: 実装パッケージ構造概要	… 7
2	パッケージ解析	
2-1.	外観観察	… 9-10
2-2.	チップ観察	… 11
2-3.	パッケージ断面構造解析	… 12-24
3	SiC MOSFETチップ構造解析	
3-1.	平面構造解析(OM)	… 26-41
3-2.	平面構造解析(SEM)	… 42-48
3-3.	セル部 断面構造解析	… 49-54
3-4.	外周部 断面構造解析	… 55-63
3-5.	Gateパッド部 断面構造解析	… 64-66
4	TEM構造解析	… 67-71
5	SiC MOSFETチップ裏面構造解析 (アニール痕の解析)	… 72-74
6	第二世代1200V品との比較	… 75-77

② 構造解析レポートからの抜粋

パッケージ断面構造

Number	Measurement points	Length measurement	Materials
1	Mold resin		
2	Al wire		
2-1	Gate		
2-2	Source		
3	MOSFET		
3-1	Organic protective film		
3-2	Top metal		
3-3	Substrate		
3-4	Backside metal-1		
3-5	Backside metal-2		
4	Die attach		
5	Die pad		
5-1	Die pad		
5-2	Plating layer		

パッケージ断面構造概要

セル平面とセル断面の位置合わせ

セル部 断面TEM像

第二世代1200V品との比較 (Epi層構造)

③ プロセス、電気特性解析レポート 目次

【目次】		Page
1	INFINEON 400V CoolSiC SiC-MOSFET IMBG40R045M2H: エグゼクティブサマリー	3
1-1.	SiC-MOSFETとGaN FETの特性比較	4
1-2.	SiC MOSFETチップ全体	5
1-3.	チップ端部観察	6
1-4.	デバイス構造: SiC-MOSFET SiC MOSFETセルアレイの断面SEM図 トランジスタの模式的な断面図	7
1-5	Device structure: On the crystallographic plane orientation of SiC MOSFET channel	8
1-6	SiC MOSFETセル観察	9-15
1-7	平面構造解析 (SEM): ダイコーナー	16
1-8	SiC MOSFETの構成とレイアウト	17-18
2	INFINEON 400V CoolSiC IMBG40R045M2H: 解析結果まとめ Table 2-1 デバイス構造 : SiC MOSFET	19
	Table 2-2. SiC MOSFET構造 : レイヤー材料・膜厚	20
3	製造プロセスフロー	21
3-1.	SiC MOSFETのフロントエンドウェハプロセスフロー(推定)	22
3-2.	SiC MOSFETのプロセス・シーケンス断面図	23-26
4	電気特性評価	27
4-1.	SiC-MOSFETの I_d - V_{ds} 特性とRON温度依存性	28
4-2.	デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン電圧(V_{ds})および活性化エネルギー(E_a)	29
4-3	トランジスタ間のリーク電流の比較 (Si IGBT、GaN、SiC MOSFET)	30
4-4.	オフ状態破壊電圧 BV_{dss} 特性	31
4-5.	ゲートリーク電流 I_{gss} 特性	32
4-6	ボディダイオード特性	33
4-7.	容量(C_{iss} , C_{oss} , C_{rss})- V_{ds} 特性	34
4-8.	デバイス構造と電気特性解析: ON抵抗	35-37
4-9.	N-epi 層不純物濃度解析	38
4-10.	デバイス構造と電気特性解析: ブレークダウン電圧	39
5	関連文献目録	40
6	関連特許目録	41-43

③ プロセス、電気特性解析レポートからの抜粋

400V Gen2 CoolSiC IMBG40R045M2H

Trench-to-DP alignment accuracy

トレンチからディープ Pwell (DP) までの Pwell (チャネル) 幅は設計値 Wpwo に対して ±δDP のばらつきがある。このばらつきは、Pwell の幅 Wpn を考慮し、Pwell の幅のばらつきは

$$\Delta W_{pw} \cong \sqrt{n\Delta^2 + \delta_{DP}^2 + \delta_{FR}^2} \cong \text{ } \mu\text{m}$$

これは、設計値 Wpwo=0.4 μm の場合、最小幅 Wpn=Wpwo

Possible Alignment Tree

Infineon IMBG40R045M2H SiC MOSFET Process Sequence 1

Fig.4-9-1 Carrier concentration profile

SiC MOSFET プロセス・シーケンス(推奨)

オフ状態破壊電圧BVdss

深さ方向のキャリア濃度プロファイル

1-1. Characteristics comparison between SiC-MOSFETs and GaN FET

Table 1-1: SiC MOSFET Characteristic comparison

Manufacturer	Part no.	Application	Semi-conductor	Process	Production	Vdss [V]	RON [mΩ]	Die size [mm2]	Transistor cell pitch, P* [μm]	Intrinsic RONxA [mΩ・mm2]
ROHM	SCT4062KR	Industrial	SiC	Gen 4	2022	1200	62	5.7	2.0	219
INFINEON	IMBG120R078M2H	Industrial	SiC	Gen 2	2024	1200	78	4.0	5.6 **	180
INFINEON	IMBG40R045M2H	Industrial	SiC	Gen 2	2024	400	44.9			
INFINEON	IGT60R190D1S	Industrial	GaN			600	140