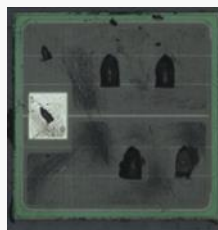


SiC MOSFET(1200V): Inventchip Gen3 IV3Q12013T4Z 概要、構造、プロセスと電気特性解析レポート



パッケージ外観



Inventchip 第3世代SiCチップ

概要

中国の大手SiCメーカーであるInventchip社は、2019年に第1世代、2023年に第2世代、2024年6月に第3世代SiC MOSFETを発表しました（※第1世代の解析レポート21G-0033-3は販売中です）。

この第3世代SiC MOSFETは、SiC主要メーカー（Infineon、Wolfspeed、Rohm、STMicroelectronics）と同等のRonxAであることから、中国のSiC技術の進歩が窺える製品です。

今回、同製品の概要、構造、プロセス・電気特性解析レポートをリリースし、その特徴を明らかにするとともに、前世代や他メーカーとの比較を行い、その実力を見極めていきます。

製品特徴

型番: IV3Q12013T4Z $V_{DS} = 1200V$ $I_D = 147A$ $R_{DS(on)} = 13.5 m\Omega$ 製品リリース日: 2024年6月(DS)

- ・車載認定 (AEC-Q101) 対応
- ・アプリケーション: EV Motor drivers, Solar MPPT and inverters, High-voltage DC-DC converters

解析内容・結果概要 (各レポートの目次はP.2, 4, 6を参照)

① 概要解析レポート: 価格 ¥300,000(税別) 発注後1weekで納品

- ・パッケージ観察、チップ観察、測長。
- ・SiC MOSFET断面解析: チップ終端部、セル部 (エピ構造、膜厚の確認)。

② 構造解析レポート: 価格 ¥750,000(税別) 発注後1weekで納品

- ・①概要解析レポートの内容を含む。
- ・セル部のTEM構造解析およびチップ裏面のアニール痕の解析も行なっています。
- ・断面構造解析の結果から、本製品は信頼性に懸念があることを確認しました。

③ プロセスと電気特性解析レポート: 価格 ¥750,000(税別) 発注後1weekで納品

- ・製造工程とフォト/マスキング工程を推定し、製造プロセスシーケンスの詳細を示しています。
- ・本製品のRonxAを第1世代品および主要メーカー（Infineon、Wolfspeed、Rohm、STMicroelectronics など）と比較した結果、第1世代から約47%縮小とSTMicroelectronicsの第3世代品に匹敵することを確認しました。

① 概要解析レポート目次

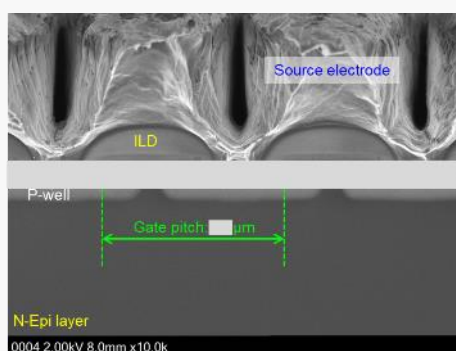
【Table of contents】		Page
1	Device summary	
	Table1-1: Device summary	... 3
1-1.	Summary of analysis results	... 4
	Table1-2: Device structure: SiC MOSFET	... 5
	Table1-3: Device structure: Layer materials and thicknesses	... 5
2	Package analysis	
2-1.	Appearance observation	... 7
3	SiC MOSFET die structure analysis	
3-1.	Plane structure analysis by Optical Microscope	... 9
3-2.	Cell array cross-sectional structure analysis	... 10
3-3.	Cross-sectional structure analysis of MOSFET die outer periphery	... 11
4	Comparison with Inventchip's 1200V Gen1 product and other manufacturer product	... 12-13

① 概要解析レポートからの抜粋

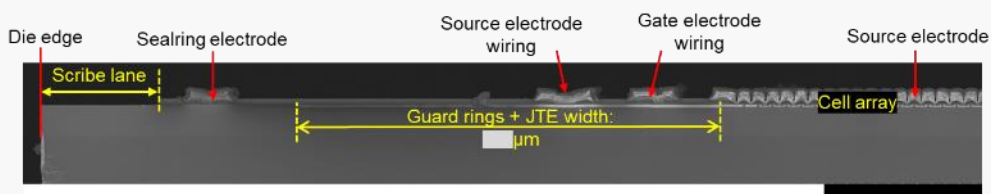
Table1-1: Device summary

Device	SiC MOSFET (VDSS=1200V, $R_{DS(on)}$ (Typ.) = 13.5m Ω (V_{GS} = 18V), I_D = 147A)
Manufacturer	Inventchip Technology Co., Ltd. (China)
Product name	IV3Q12013T4Z
Package type	TO-247-4
Package marking	3Q12013T4Z 2425S HA3H
Die configuration	Transistor: SiC MOSFET x1
Die size	5.0 mm x 5.0 mm = 25.0 mm ²
SiC MOSFET Die manufacturing process	SiC wafer, planer gate, top metal source
Feature	• •
Application	• EV Motor drivers • Solar MPPT and inverters • High Voltage DC/DC Converters • Switch mode power supplies

デバイスサマリー



セル部 断面SEM像



チップ外周部 断面SEM像

Table4-1: Comparison

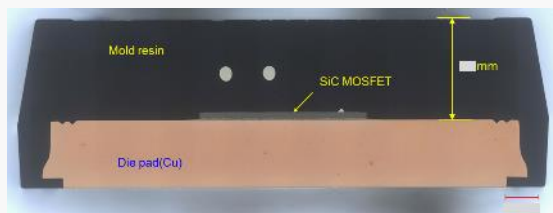
		IV1Q12080T3 (Gen1)	IV3Q12013T4Z (Gen3)	Wolfspeed E4M0013120K (Gen4)
ON resistance: RON	(m Ω) / V_{GS} (V)	80 / 20	13.5 / 18	13 / 15
ON resistance per unit area RONxAA	m Ω · mm ²			
Die size	mm x mm = mm ²			
Transistor active area AA	mm ²			

第一世代品および他社メーカー品との比較

② 構造解析レポート目次

【Table of contents】		Page
1	Device summary	
	Table1-1: Device summary	... 3
1-1.	Summary of analysis results	... 4
	Table1-2: Device structure: SiC MOSFET	... 5
	Table1-3: Device structure: Layer materials and thicknesses	... 6
	Table1-4: Device structure: Package structure summary	... 7
2	Package analysis	
2-1.	Appearance observation	... 9-10
2-2.	Internal layout observation	... 11
2-3.	Package cross-sectional structure analysis	... 12-24
3	SiC MOSFET die structure analysis	
3-1.	Plane structure analysis by Optical Microscope	... 26-41
3-2.	Plane structure analysis by SEM	... 42-49
3-3.	Cell array cross-sectional structure analysis	... 50-56
3-4.	Cross-sectional structure analysis of MOSFET die outer periphery	... 57-65
3-5.	Cross-sectional structure analysis of Gate electrode pad	... 66-69
4	TEM structure analysis	... 70-75
5	SiC MOSFET die backside structure analysis (Analysis of annealing marks)	... 76-79
6	Comparison with Inventchip's 1200V Gen1 and Gen2 SiC MOSFET	... 80-82
7	Comparison with other manufacturers' SiC MOSFET	... 83-84

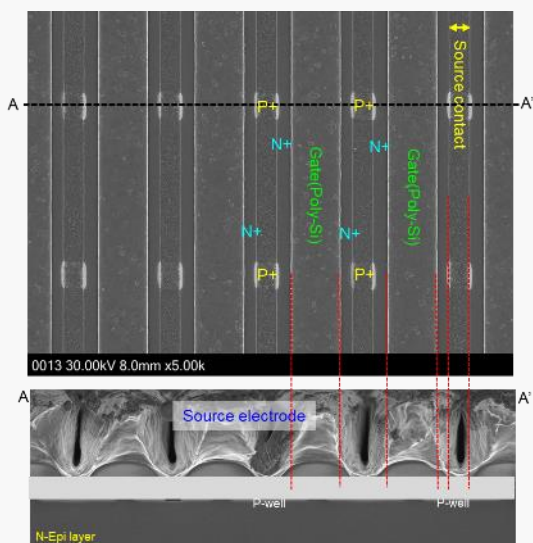
② 構造解析レポートからの抜粋



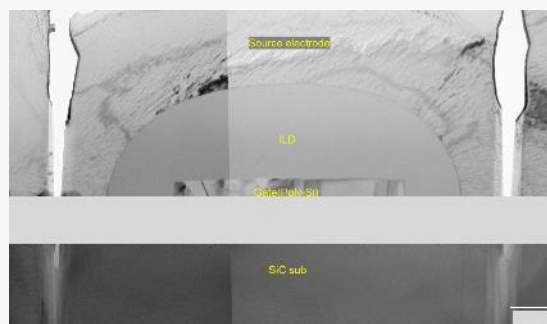
パッケージ断面構造

番号	測定箇所	測長	材料
1	Mold resin		
2	Al wire		
2-1	Wire diameter : Gate		
2-2	Wire diameter : Source		
2-3	Wire average length		
3	SiC-MOSFET		
3-1	Surface protection film		
3-2	Top metal		
3-3	Substrate		
3-4	Backside metal-1		
3-5	Backside metal-2		
3-6	Backside metal-3		
4	Die attach		
5	Die pad		
5-1	Die pad		
5-2	Plating layer		

パッケージ断面構造概要



セル平面構造と断面構造の位置合わせ



セル部 断面TEM像

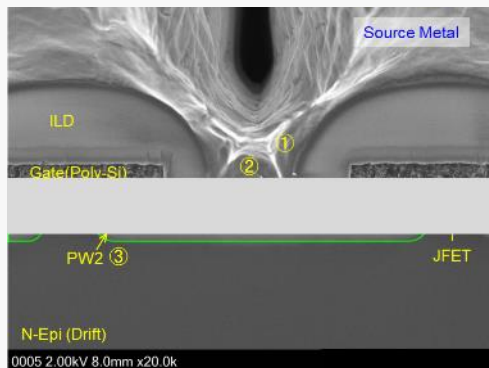
	IV1Q12080T3 (Gen1)	IV2Q12040T4Z (Gen2)	IV3Q12013T4Z (Gen3)
Epi layer thickness (μm)			
Cell pitch (μm)			
ILD shape			
P-well implantation depth (μm)			

前世代品との比較(セル断面構造)

③ プロセス・電気特性解析レポート目次

Contents	Page
1 INVENTCHIP's 3rd generation SiC-MOSFET IV3Q12013T4Z: Executive Summary	3
1-1. Comparison of characteristics between INVENTCHIP 1200V products and other companies' SiC-MOSFETs	4
1-2. SiC-MOSFET die	5
1-3. Die peripheral edge	6
1-4. Device structure: SiC-MOSFET	7
Transistor schematic cross-sectional view	7
2 SiC-MOSFET Observation	8
2-1. Structure analysis (SEM)	8
Transistor structure and process features (1) – (5)	8-12
2-2. Details of the self-aligned formation process to determine the MOSFET channel length Lch (estimated)	13
3 Summary of analysis results for INVENTCHIP's 3rd generation SiC-MOSFET IV3Q12013T4Z	14
Table 1 Device structure: SiC-MOSFET	14
Table 2 Device structure: Layer materials and film thicknesses	15
4 Manufacturing Process Flow Analysis	16
4-1. SiC-MOSFET front-end wafer process flow (estimated)	17
4-2. Cross-sectional view of the manufacturing process sequence	18-22
5 Electrical Characteristics Evaluation	23
5-1. INVENTCHIP IV3Q12013T4Z Id-Vds characteristics	24
5-2. OFF-state drain current vs drain voltage (Vds) as a function of temperature, and activation energy (Ea)	25
5-3. OFF-state breakdown voltage BVdss characteristics	26
5-4. Comparison of OFF-state drain leakage current characteristics	27
5-5. Gate leakage current Igss characteristics	28
5-6. Body diode characteristics	29
5-7. Ciss, Coss, Crss-Vds Capacitances	30
5-8. Device structure and electrical property analysis: ON resistance component analysis	31-33
5-9. N-epi (Drift) layer impurity concentration analysis	34
5-10. Device structure and electrical characterization: Breakdown voltage	35
6 References	36

③ プロセス・電気特性解析レポートからの抜粋



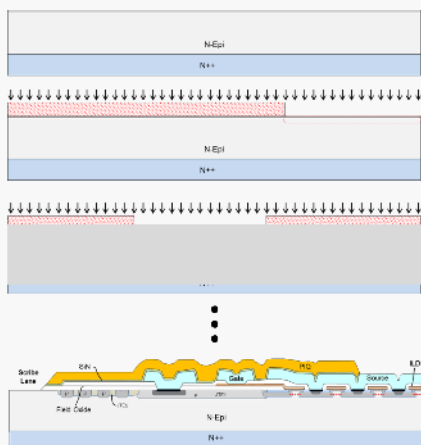
トランジスタセル

Possible Alignment Tree:

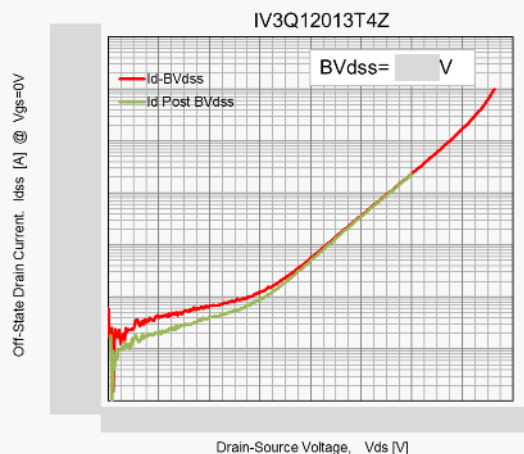
AM ← JFET

MR

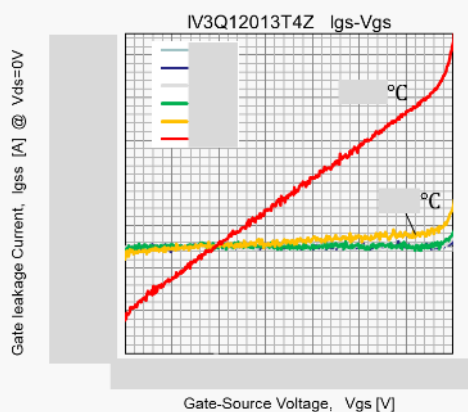
アライメントツリー



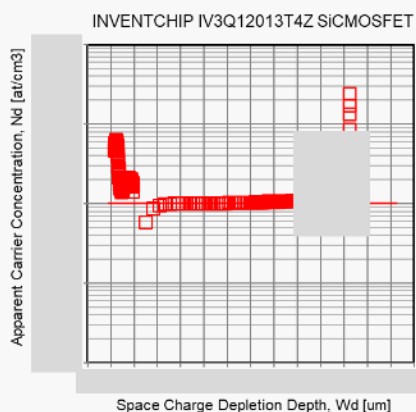
SiC MOSFET プロセス・シーケンス(推定)



オフ状態破壊電圧BVdss



Gateリーク電流対Gate-Source間電圧



深さ方向のキャリア濃度プロファイル