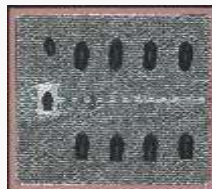


SiC MOSFET(1200V): Wolfspeed E4M0013120K 概要、構造、プロセス、電気特性解析レポート



パッケージ外観



SiC MOSFETチップ

概要

・2024年6月、SiCウエハの世界最大手メーカーであるWolfspeed社が第4世代SiC MOSFETを発売しました。今回、このSiC MOSFETについて、概要解析と、パッケージとチップ構造解析(第3世代品との比較を含む)、製造プロセスおよび電気特性解析に関するレポートをリリースしました。

※ Wolfspeed第3世代品の構造解析レポート(23G-0478-1)は販売中です。詳しくはお問い合わせください。

<https://www2.ltec-biz.com/asd/Resource/pdf/d9a2e467a5ef1fb2c25e7b7f685de4a4.pdf>

製品特徴

型番: E4M0013120K $V_{DS}=1200V$ $I_D=153A$ $R_{DS(on)}=13\text{ m}\Omega$ 製品リリース日: 2024年6月

- ・車載認定(AEC-Q101) およびPPAP (Production Part Approval Process) 対応
- ・アプリケーション: Motor Control, EV Battery Chargers, High Voltage DC/DC Converters

解析内容・結果概要(各レポートの目次はP.2, 4, 6を参照。)

①概要解析レポート: 価格 ¥ 250,000(税別) 発注後1weekで納品

- ・パッケージとチップ観察、セル部、チップ終端部の断面観察

②構造解析レポート: 価格 ¥ 700,000(税別) 発注後1weekで納品

- ・第3世代品との比較の結果、同じ $R_{on}=13\text{ m}\Omega$ で17%のチップサイズ縮小を実現している。
- ・本製品のトランジスタセルアレー(平面)がHoneycomb(ハニカム)型構造である。
- ・概要解析レポートの内容も含む。

③プロセス、電気特性解析レポート: 価格 ¥ 700,000(税別) 発注後1weekで納品

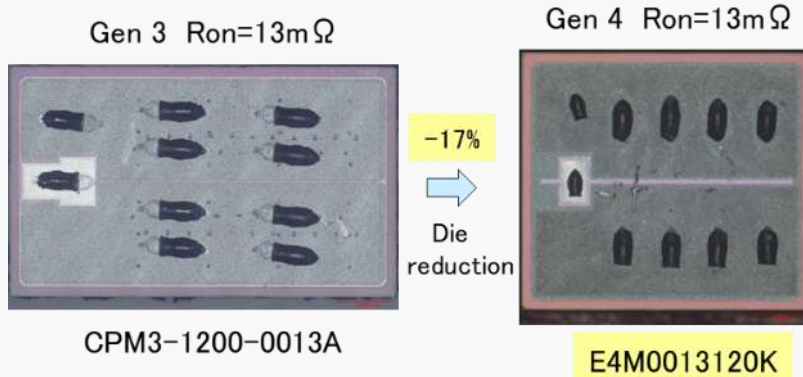
- ・性能指数である面積当たりのオン抵抗(R_{onAA})を、大手メーカー(ローム、Infineon)と比較。
- ・ R_{on} 成分を電気特性測定評価により定量的に分析し、新構造・レイアウト(ハニカム)の R_{onAA} およびチャネル抵抗成分 R_{ch} の低減効果を明らかにした。
- ・製造工程とフォト/マスクを推定し、製造シーケンスの詳細を示す。
- ・Wolfspeedの第2世代から第4世代の技術、改善点の進化を調査し、同社の開発戦略が推測できる。

オプション解析: SCM評価 納期・価格についてはお問い合わせください。

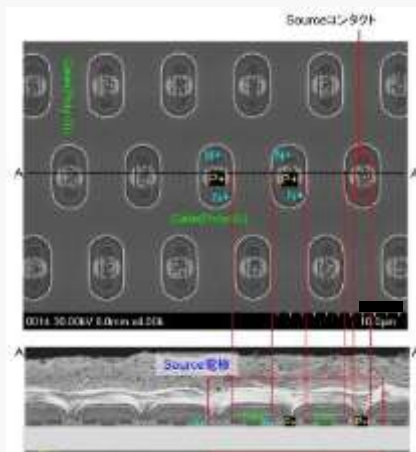
① 概要解析レポート 目次

【目 次】		Page
1	デバイスサマリー	
	Table1-1: デバイスサマリー	... 3
	Table1-2: デバイス構造: SiC MOSFET	... 4
	Table1-3: デバイス構造: レイヤー材料・膜厚	... 5
	Table1-4: デバイス構造: 実装パッケージ構造概要	
2	パッケージ解析	
2-1.	外観観察	... 7
3	SiC MOSFETチップ構造解析	
3-1.	平面構造解析(OM)	... 9
3-2.	セル領域 断面構造解析	... 10
3-3.	チップ外周部 断面構造解析	... 11

① 概要解析レポートからの抜粋



WOLFSPEED社の第3世代と第4世代のSiCチップ比較



位置合わせ

Table1-3: デバイス構造: SiC MOSFET

チップサイズ	mm x mm	
チップ面積	mm ²	
トランジスタ面積	mm ²	
トランジスタセル構成	Homo	
トランジスタセル基本構造(ゲート)	プ	
セルソース・ソースピッチ, P	μm	

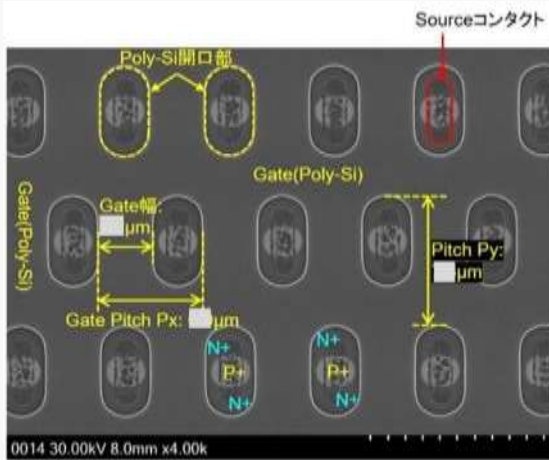
Table1-4: デバイス構造: レイヤー材料・膜厚

層の記述	膜厚	材料	プロパティ
ウエハタイプ・構成(Bulk, Epi)			
N-epi層			
ゲート電極構造・材料			
ゲート酸化膜			
シリサイド			
ソース/ドレイン金属	1		
ILD (ゲート・メタル間)			
パッシベーション膜			

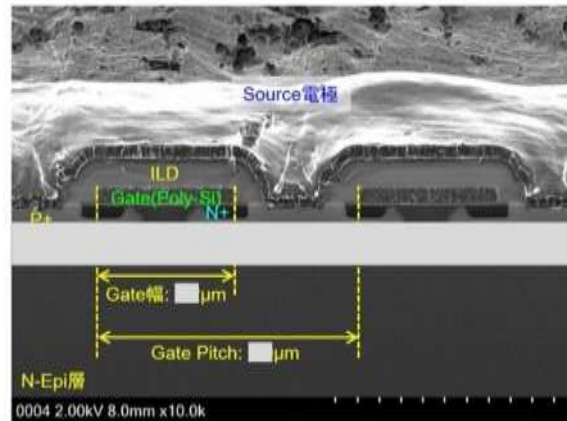
② 構造解析レポート 目次

【目 次】		Page
1	デバイスサマリー	
	Table1-1: デバイスサマリー	... 3
1-1.	解析結果まとめ	... 4
	Table1-2: デバイス構造: SiC MOSFET	... 5
	Table1-3: デバイス構造: レイヤー材料・膜厚	... 6
	Table1-4: デバイス構造: 実装パッケージ構造概要	... 7
2	パッケージ解析	
2-1.	外観観察	... 8-10
2-2.	内部レイアウト観察	... 11
2-3.	パッケージ断面構造解析	... 12-24
3	SiC MOSFETチップ構造解析	
3-1.	平面構造解析(OM)	... 25-41
3-2.	平面構造解析(SEM)	... 42-47
3-3.	セル領域 断面構造解析	... 48-55
3-4.	チップ外周部 断面構造解析	... 56-62
3-5.	Gate電極配線部 断面構造解析	... 63-65
4	TEM解析	... 66-72
5	SiC MOSFETチップ裏面構造解析 (レーザーアニール痕の解析)	... 73-75
6	同社製第三世代SiC MOSFETとの比較	... 76-78

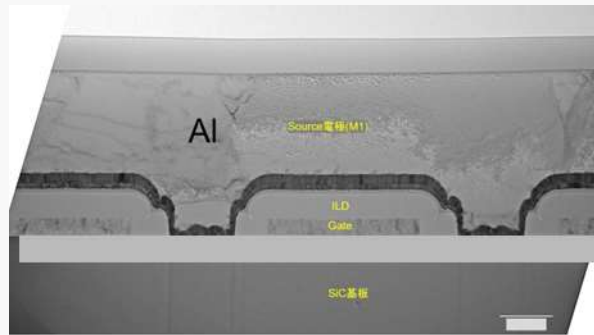
② 構造解析レポートからの抜粋



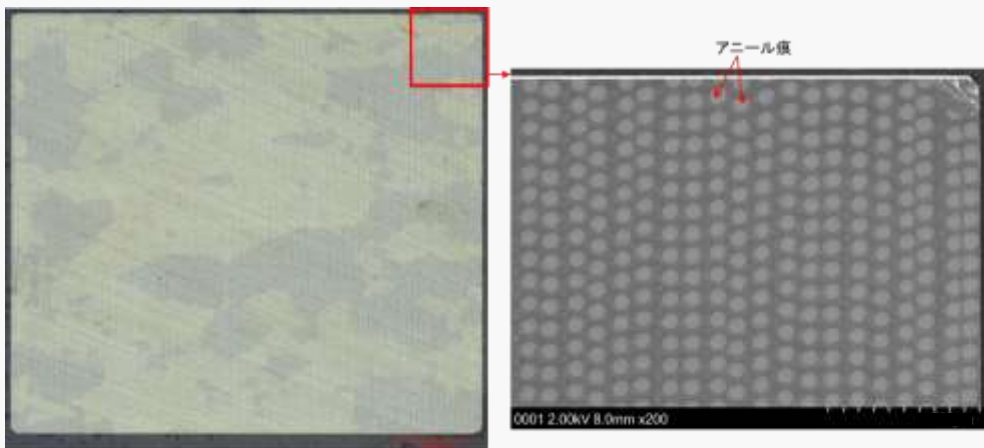
セル部 平面SEM像(Poly-Siレイヤ)



セル部 断面SEM像



セル部 断面TEM像



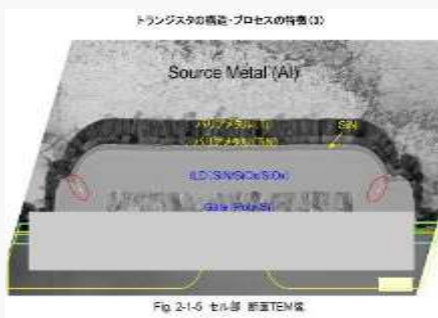
SiC MOSFETチップ裏面 OM像

SiC MOSFETチップ裏面 SEM像

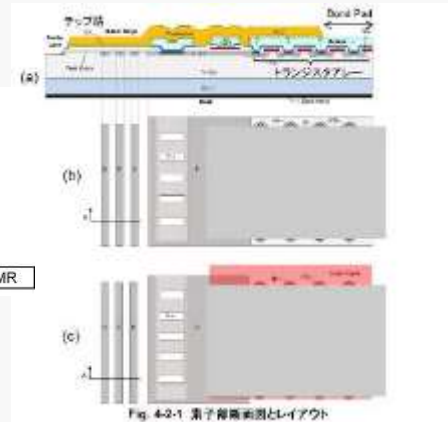
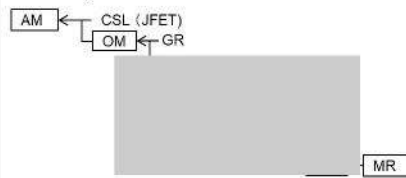
③ プロセス、電気特性解析レポート 目次

【目次】	頁
1 WOLFSPEED社のSiC MOSFET E4M0013120K 解析結果のまとめ	3
1-1 WOLFSPEED社製品と他社のSiC MOSFETの特性比較	4
1-2 SiC MOSFETチップ全体	5
1-3 チップ端部	6
1-4 デバイス構造: SiC MOSFET トランジスタの模式的な断面図	7
1-5 平面構造解析 (SEM): トランジスタの構造	8
2 SiC MOSFET観察	
2-1 断面・平面構造解析 (SEM)	10-17
トランジスタの構造・プロセスの特徴 (1) - (8)	10-17
2-2 チャネル長Lchを決定するためのN+およびPウェル拡散のセルフアライン 形成プロセスの詳細 (推定)	18-19
3 WOLFSPEED E4M0013120K のSiC MOSFET 解析結果まとめ	20
Table3-1 デバイス構造: SiC MOSFET	20
Table3-2 SiC MOSFET構造: レイヤー材料・膜厚	21
4 プロセスフロー	22
4-1 SiC MOSFETのフロントエンドウエハプロセスフロー(推定)	23
4-2 SiC MOSFETのプロセス・シーケンス断面図	24-29
5 電気特性評価	30
5-1 WOLFSPEED製SiC MOSFET E4M0013120Kの Id-Vds特性	31
5-2 デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン電圧 (Vds)および活性化エネルギー(Ea)	32
5-3 オフ状態破壊電圧BVdss特性	33
5-4 ゲートリーク電流I _{gss} 特性	34
5-5 メーカー間のリーク電流の比較	35
5-6 ボディダイオード特性	36
5-7 容量(C _{iss} , C _{oss} , C _{rss})-Vds特性	37
5-8 デバイス構造と電気特性解析: ON抵抗	38-40
5-9 N-エピ層不純物濃度解析	41
5-10 デバイス構造と電気特性解析: ブレークダウン電圧	42
6 WOLFSPEEDの第2世代から第4世代の技術、改善点の進化	43
6-2 1200V SiC MOSFETの単位面積当たりのON抵抗指数(RONxA)の主な 動向	45
7 まとめ	46
8 関連文献目録	47
9 関連特許目録	47

③ プロセス、電気特性解析レポートからの抜粋



Possible Alignment Tree:



WOLFSPEED社 E4M0013120Kの SiC MOSFETのプロセス・シーケンス(推定)

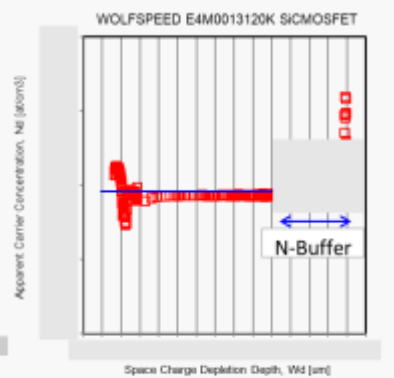
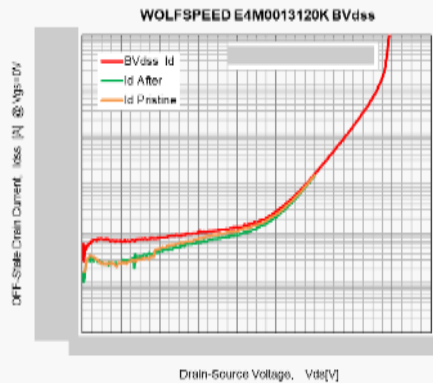
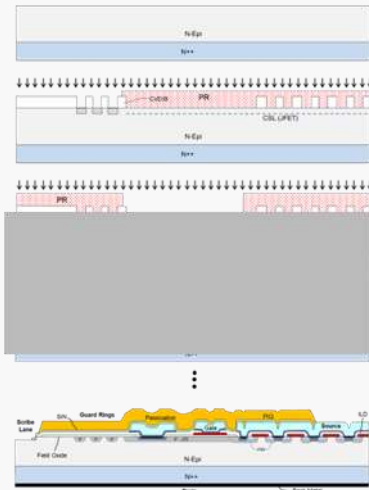


表6. 1: WOLFSPEEDの第2世代から第4世代の技術、改善点の進化

Product name	C2M0080120D	C3M0075120K	EA8450M12XM3 (Module) CPM3-1200-0013A (Chip)	E4M0013120K
SiC MOSFET Technology Gen./生産開始	2 nd / 2013年	3 rd / 2016年	3 rd / 2022-23年	4 th / 2024年
Package	TO-247	TO-247-4L	Module and Bare die	TO-247-4L
Transistor Size	mm x mm	mm x mm	mm x mm	mm x mm
Transistor Area, A	mm ²	mm ²	mm ²	mm ²
Transistor Active Area, AA	mm ²	mm ²	mm ²	mm ²
Total Channel Width, W	mm	mm	mm	mm
Layout Efficiency, W/AA	mm ² /mm ²	mm ² /mm ²	mm ² /mm ²	mm ² /mm ²
Rated V _{ds}	V	V	V	V
Measured Breakdown Voltage, BV _{ds}	V	V	V	V
DC Id @ T _{vj} =25°C	A	A	A	A
T _{jmax}	°C	°C	°C	°C
Operating Gate Source voltage	V	V	V	V
R _{DS(on)} @ T _{vj} =25°C	mΩ	mΩ	mΩ	mΩ
Specific ON resistance, R _{DS(on)AA}	mΩ/cm ²	mΩ/cm ²	mΩ/cm ²	mΩ/cm ²
Threshold Voltage, V _{th}	V	V	V	V
Transconductance, g _m @ V _{ds} =20V	A/V	A/V	A/V	A/V
Transistor configuration (N+/Pwell)	on	on	on	on
Gate dielectric thickness, T _{ox}	nm	nm	nm	nm
Triode transconductance parameter, β	A/V ²	A/V ²	A/V ²	A/V ²
Normalized mobility: (β/W)·(1/C _{ox})	cm ² /Vs	cm ² /Vs	cm ² /Vs	cm ² /Vs
MOSFET Channel Resistance, R _{ch} /RON	%	%	%	%
Process changes from previous generation				

