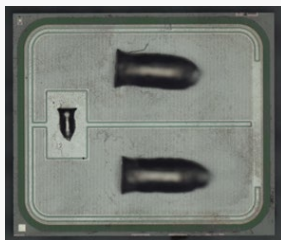


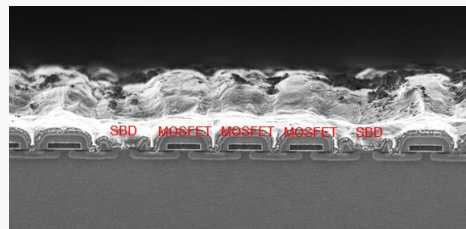
SiC MOSFET(1200V): 東芝デバイス & ストレージ製 (TW060N120C) 構造解析、プロセス解析レポート



パッケージ写真



チップ写真



セル部断面写真

型番: TW060N120C 第3世代 1200V SiC MOSFET $I_d=36A$, $R_{on}=60m\Omega$
製品リリース日: 2022年8月

製品概要と特長

2022年7月、東芝DS社は第3世代となるSiC MOSFETを開発し、同年8月から量産を開始した(TWxxNxxxCシリーズ)。この新製品は、第2世代品と比較して、単位面積あたりのオン抵抗($R_{ON}A$)を約 43% 低減、ドレイン - ソースのオン抵抗、ゲート - ドレイン電荷を低減により、スイッチング損失が約20%削減されている。

SiC MOSFETのP型の拡散領域(P-well)の下側に窒素を注入。これにより、広がり抵抗(R_{spread})を削減し、SBDの電流を増加。また、JFET領域にも窒素を注入し、JFETの面積を小さくしている。

レポート内容

- ゲートピッチとSBD幅が第2世代品よりも縮小されていることを観察し、SCM結果より、JFET領域とPwell下に窒素注入を確認した。これらの結果が性能向上に寄与していると考えられる。

① 東芝 第3世代 1200V SiC MOSFET 構造解析レポート: 価格85万円(税別) 発注後1weekで納品

- パッケージ観察、チップ観察
- SiC MOSFET平面解析: 配線接続、レイアウト確認
- SiC MOSFET断面解析: セル部、チップ終端部
- SiC MOSFET断面SCM₁₎+ライン解析: セル部
- 第3世代650V SiC MOSFETや第2世代との構造比較

1) SCM: Scanning Capacitance Microscopy: 導電性探針を用いて半導体表面を走査し、P/Nキャリア分布を二次元的に可視化する手法。

② 東芝 第3世代1200V SiC MOSFET プロセス解析レポート: 価格60万円(税別) 発注後1weekで納品

- 電気特性評価、電気的特性とデバイス構造の関係
- 製造プロセスフローの推定およびデバイス特性解析
- 第2世代品、ローム、WLFSPD、Infineonなど他社との比較

構造解析レポートの抜粋

目次

		Page
1. デバイスサマリー	...	3
2. パッケージ解析		
2-1. パッケージ外観	...	8
3. SiC MOSFETチップ構造解析		
3-1. 平面構造解析(OM)	...	12
3-2. 平面構造解析(SEM)	...	28
3-3. MOSFETセル領域 断面構造解析	...	38
3-4. MOSFETチップ外周部 断面構造解析	...	47
4. SiC MOSFET素子 EDX分析		
4-1. MOSFET SEM/EDX分析	...	65
5. 第2世代(TW070N120B)との比較	...	70
6. SCM分析		
6-1. SCM分析結果	...	74
6-2. SCMライン分析結果	...	77

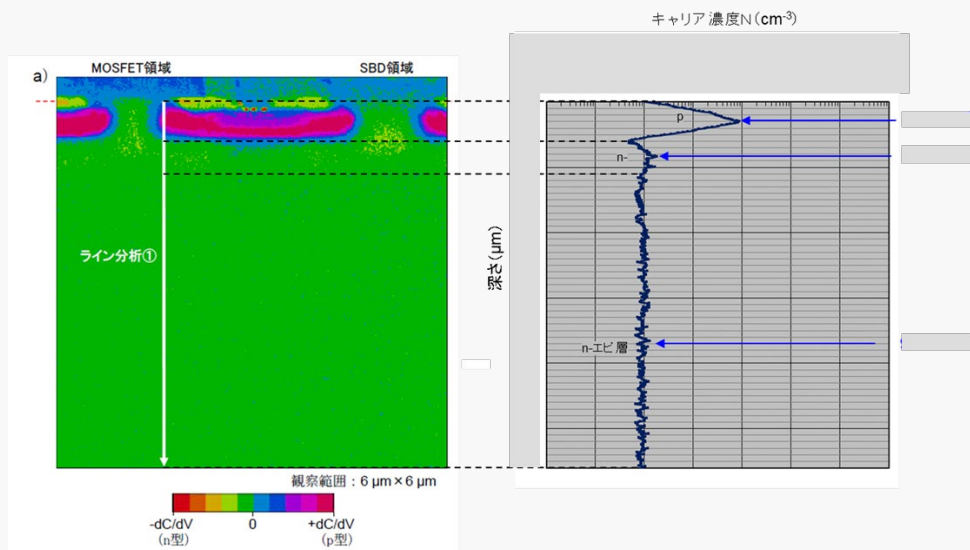
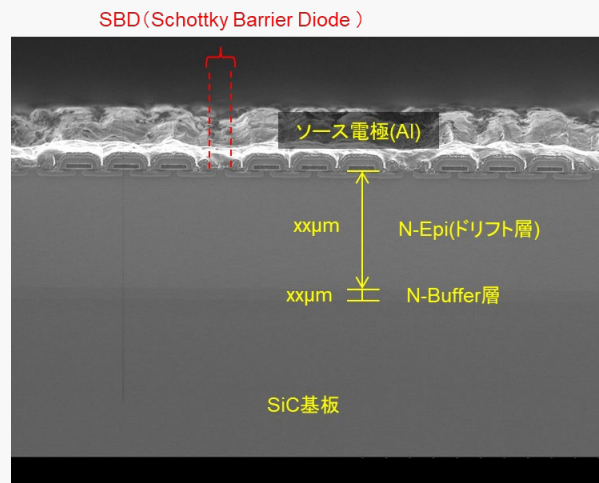
構造解析レポートの抜粋

外周部



(JTE : Junction Termination Extension)

セル部



(a) チャンネル、(b) Pwell、(c) N-epi層の濃度プロファイルを取得

プロセス解析レポートからの抜粋

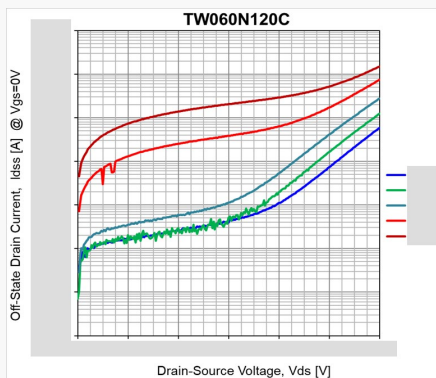
【目次】	頁
1 TOSHIBA 第3世代 1200V SiC MOSFET TW060N120C エグゼクティブサマリー	3
1-1 TOSHIBA製品と他社のSiC MOSFETの特性比較	4
1-2 SiC MOSFETチップ全体とチップ膜厚	5
1-3 トランジスタレーとチップ端部の構成	6
1-4 SiC MOSFET 外周部断面観察	7
1-5 デバイス構造: SiC MOSFET	8-9
トランジスタの模式的な断面図	8
チップ全体断面模式図と模式的なレイアウトパターン	8
1-6 デバイス構造: エピ層膜厚	10
1-7 平面構造解析(SEM): セル部	11-12
1-8 平面構造解析(SEM): チップコーナー部	13
1-9 SiC MOSFETセル観察	14-17
1-10 チャンネル長Lchを決定するためのN+およびPウェル拡散の セルファライン形成プロセスの詳細(推定)	18
2 TOSHIBA 1200V SiC MOSFET (TW060N120C) 解析結果まとめ	19-21
表1 デバイス構造: SiC MOSFET	20
表2 SiC MOSFET構造: レイヤー材料・膜厚	21
3 製造プロセスフロー解析	22-26
3-1 SiC MOSFETのフロントエンドウェハプロセスフロー (推定)	23
3-2 SiC MOSFET構成とレイアウト	24
3-3 SiC MOSFETのプロセス・シーケンス断面図	25-28
4 電気特性評価	29
4-1 TOSHIBA SiC MOSFET TW060N120C 電流経路モデル	30
4-2 TOSHIBA SiC MOSFET TW060N120CのId-Vds特性	31
4-3 デバイス温度をパラメータとしてオフ状態のドレイン電流対 ドレイン電圧(Vds)および活性化エネルギー(Ea)	32
4-4 オフ状態破壊電圧BVdss特性	33
4-5 異なるトランジスタのオフ状態ドレインリーク電流の比較	34
4-6 容量(Ciss, Coss, Crss)-Vds特性	35
4-7 Schottkyダイオード特性	36-37
4-8 デバイス構造と電気特性解析: ON抵抗	38-39
4-9 N-エピ層不純物濃度解析	40
4-10 デバイス構造と電気特性解析: ブレークダウン電圧	41
5 関連文献目録	42
6 関連特許目録	42

プロセス解析レポートからの抜粋

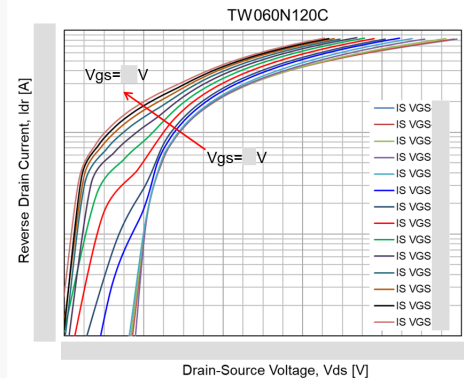
TOSHIBA製品と他社のSiC MOSFETの特性比較

	Units	TOSHIBA TW060N120C	TOSHIBA TW070J120B	ROHM SCT3080KLHR	WOLFSPEED C3M0075120K/D	ON-SEMI NVHL080N120SC1	INFINEON IMW120R045M1
Qualification Level							
Package							
Technology/Production							
RON	mΩ						
DC Id	A						
Chip Size	mm ²						
Vth	V						
Ciss/A	pF/mm ²						
Crss/A	pF/mm ²						
Coss/A	pF/mm ²						
Diode Forward Voltage, V _{DSF} (@ I _S =10A)	V						
Specific ON resistance (R _{DS(on)} A)	mΩ·mm ²						
Structural Die photograph							

・電気特性評価



デバイス温度をパラメータとしたオフ状態のIdss-Vds特性



逆ドレイン電流(ショットキーダイオード)特性のゲート電圧(VGS)依存性

・プロセスフロー

