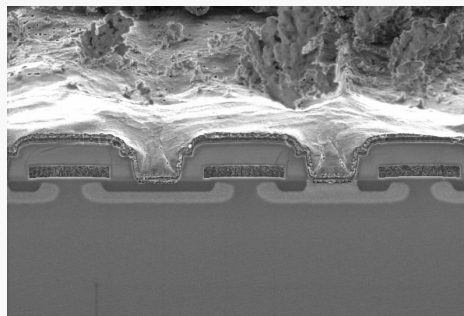
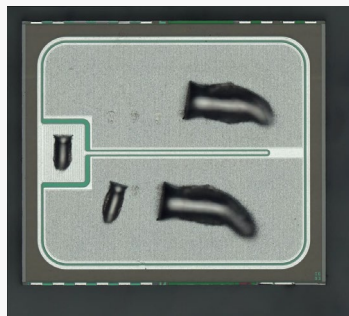


SiC MOSFET(650V): STMicroelectronics (SCT040H65G3AG) 構造、プロセス解析レポート



Product : SCT040H65G3AG 650V SiC MOSFET Id=30A, Ron=40mΩ

製品概要と特長

STMicroelectronicsは、2021年末に第3世代の SiC MOSFET テクノロジーを発表しました。
SCT040H65G3AGは、この技術を使用した最初の製品です。

- ・車載用AEC-Q101認証取得
- ・STMicroelectronicsの最新プレーナ型MOSFET

解析内容

・トランジスタのセルピッチは、第2世代のトランジスタ (Tesla-3 モーター インバーターで使用) から縮小され、性能が向上している。

(1) 構造解析レポート 価格: ¥800,000(税抜) 発注後1weekで納品

- ・パッケージ, チップ観察
- ・SiC MOSFETの平面解析: 配線接続、レイアウト構成
- ・SiC MOSFETの断面解析: セルアレイとチップエッジターミネーション
- ・SiC MOSFET SCM解析¹⁾: チャネル、JFET、エピ層

(2) プロセス解析レポート 価格: ¥600,000(税抜) 発注後1weekで納品

- ・電気特性評価
- ・電気特性とデバイス構造の相関: RON解析、N-epi不純物濃度の抽出
- ・製造プロセスフロー推定とデバイス特性解析
- ・技術動向としての前世代との比較

1) SCM: Scanning Capacitance Microscopy: 導電性探針を用いて半導体表面を走査し、P/Nキャリア分布を二次元的に可視化する手法。

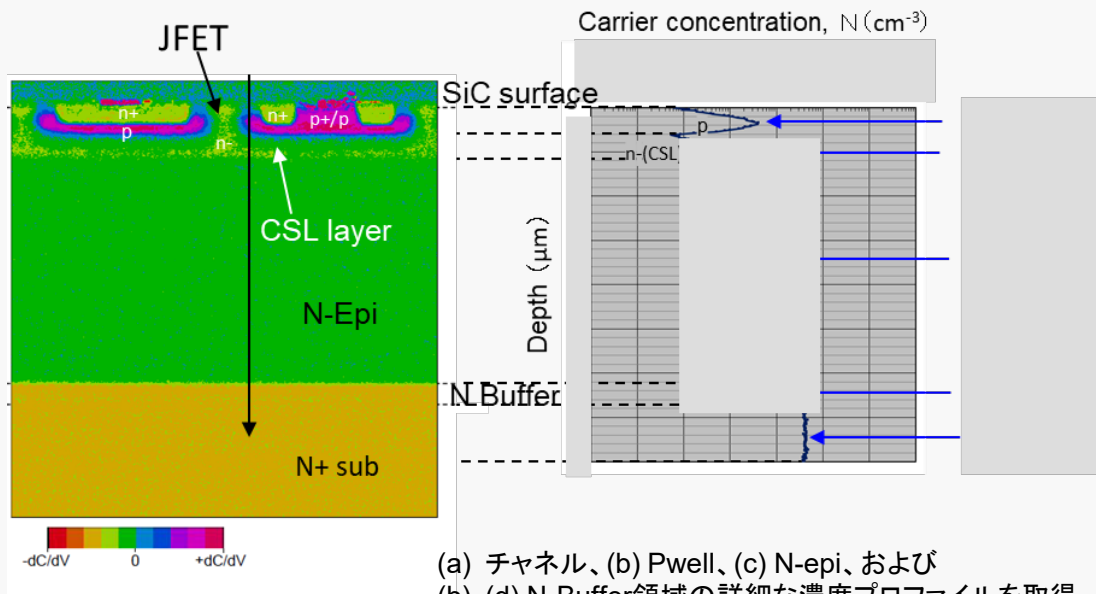
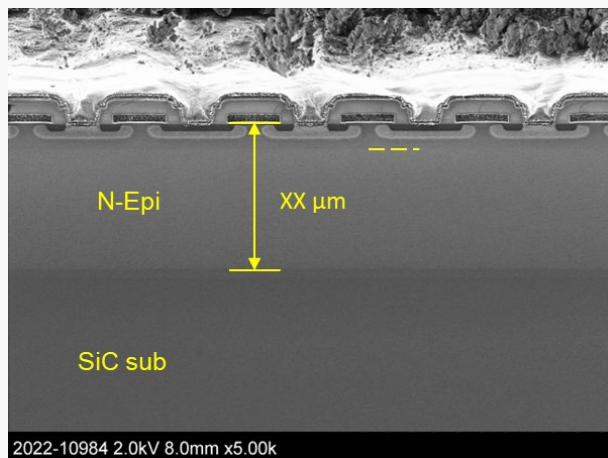
(1) 構造解析レポート

目次

		Page
1. デバイスサマリー	...	3
1-1. 解析結果まとめ	...	4
2. パッケージ解析		
2-1. パッケージ外観観察	...	8
2-2. チップ写真	...	11
3. SiC MOSFET 構造解析		
3-1. 平面観察(OM)	...	13
3-2. 平面観察(SEM)	...	29
3-3. セル領域 断面構造解析	...	39
3-4. MOSFETチップ外周部 断面構造解析	...	48
4. SCM分析		
4-1. SCM分析結果	...	57
4-2. SCMライン分析結果	...	60

構造解析レポートの抜粋 (1)

外周部



- (a) チャネル、(b) Pwell、(c) N-epi、および
(b) (d) N-Buffer領域の詳細な濃度プロファイルを取得。

(2) プロセス解析レポート

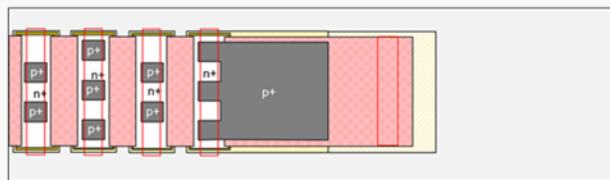
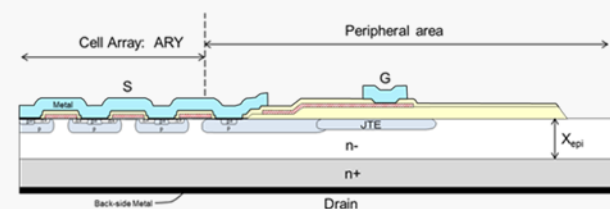
【目次】		頁
1	STMicroelectronics社のSiC-MOSFET 解析結果のまとめ.....	3
	表1 : STMicro 650V SiC MOSFET、第2世代対第3世代との比較	4
1-1.	SiC MOSFETチップ全体	5
1-2	MOSFETチップ外周部 断面構造解析	6
1-3	デバイス構造: SiC MOSFET	7
	トランジスタの模式的な断面図.....	7
	チップ全体断面模式図と模式的なレイアウトパターン.....	8
2	SiC MOSFET観察	9
2-1.	構造解析 (SEM)	10
	トランジスタの構造・プロセスの特徴(1) - (8)	10-17
2-2.	チャンネル長Lchを決定するためのN+およびPウェル拡散の セルフアライン形成プロセスの詳細 (推定)	18
2-3.	チャンネル形成プロセスの詳細 (推定)	19
2-4.	SiC MOSFET構成とレイアウト層とアライメントツリー (推定)	20
3	STMicroelectronics SiC-MOSFET 解析結果まとめ.....	21
	表3-1 デバイス構造 : SiC MOSFET	22
	表3-2 デバイス構造 : レイヤー材料・膜厚	23
4	プロセスフロー	24
4-1.	SiC MOSFETのフロントエンドウェーハプロセスフロー(推定)	25
4-2.	SiC MOSFETのプロセス・シーケンス断面図	26-29
5	電気特性評価	30
5-1.	STMicro 1200V SiC MOSFET SCT040H65G3AGのId-Vds特性	31
5-2.	デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン 電圧(Vds)および活性化エネルギー(Ea)	32
5-3.	オフ状態破壊電圧BVdss特性	33
5-4.	ゲートリーク電流I _{gss} 特性	34
5-5.	ボディダイオード特性	35
5-6.	容量(Ciss, Coss, Crss)-Vds特性	36
5-7.	デバイス構造と電気特性解析: ON抵抗	37-39
5-8.	Nepi不純物濃度の抽出.....	40
5-9.	デバイス構造と電気特性解析: ブレークダウン電圧	41

プロセス解析レポートの抜粋 (1)

表1：STMicro 650V SiC MOSFET、第2世代対第3世代との比較

		SCTW100N65G2AV	SCT040H65G3AV
		Tesla-3 Inverter	Discrete
プロセス技術世代		第2世代, 2017年	第3世代, 2022年
最大動作電圧、Vdss	V	650	650
実測電圧耐圧、BVdss	V	[Redacted]	★
ON抵抗、RON (Typ.) @ 25°C, Vgs=18V	mΩ		★
単位面積当たりON抵抗、RONxAA	mΩ・mm2		★
チップサイズ、A	mm2		
トランジスタ活性面積、AA	mm2		
トランジスタセル構造			
トランジスタセルピッチ、P	μm		★
チップ厚さ、dsic	μm		★
N-Epi厚、Xepi			★
N-Epi不純物濃度、Nd	at/cm3		
N-Buffer厚			
ゲート絶縁膜、Tox	nm		

2-4. SiC MOSFET configuration, layout layers and alignment tree



- JTE1/JTE2
- PW1/PW2
- N+
- P+
- Poly-Si
- CO

AM: Align
JFET: P
JTE: Jur
PW1: S
PW2: D
N+: S
P+: P+ c
FOX1: F
FOX2: F
GP: Gat
CO: P+,
GC: Gat
MR: Mel
BW: Bor

Possible Alignment Tree

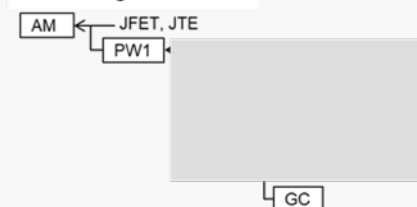


Fig.2-4-1 レイアウト層とアライメントツリー(推定)

プロセス解析レポートの抜粋 (2)

2-3. チャンネル形成プロセスの詳細 (推定)

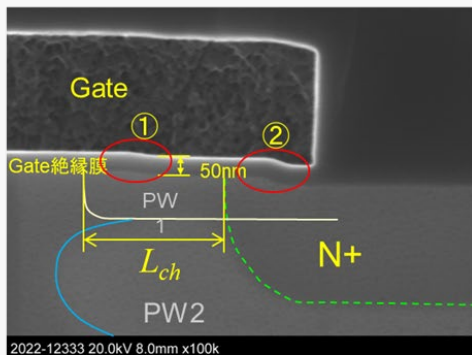
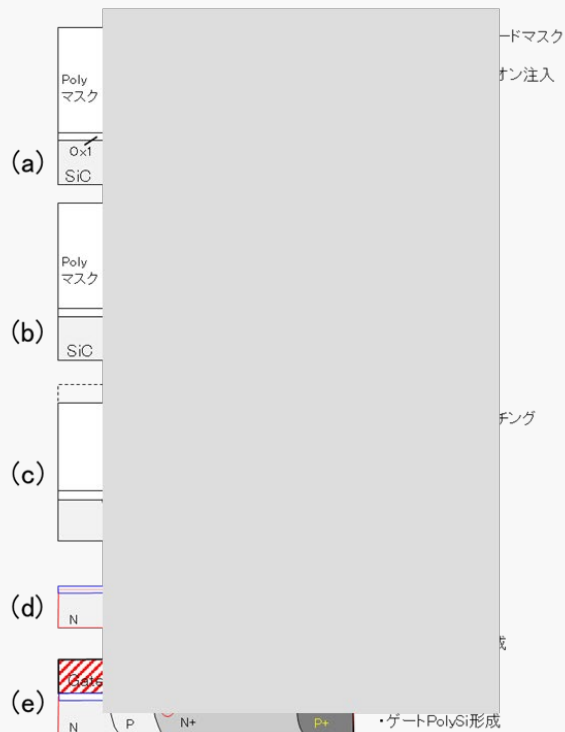
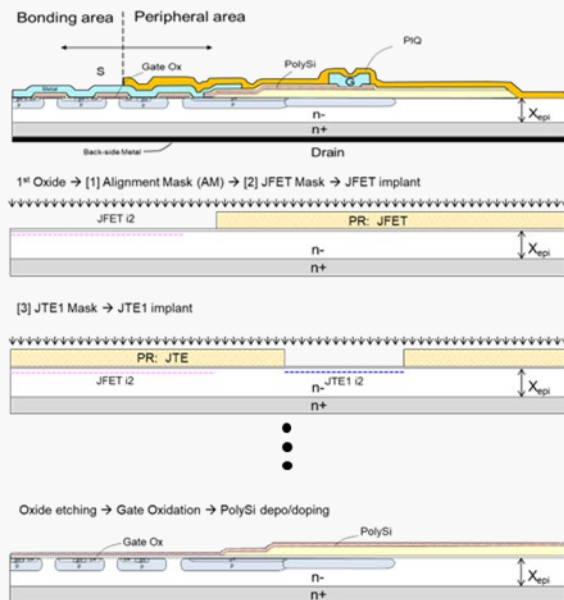


Fig. 2-3-1 MOSFETチャンネル周辺のSEM断面詳細

「階段のような」表面を形成するSide-wall/スクリーニング酸化プロセスの詳細(a, b)および最終ゲート酸化(c)。



4-2. SiC MOSFETのプロセス・シーケンス



プロセス解析レポートの抜粋 (3)

5-7 デバイス構造と電気特性解析:ON抵抗成分解析

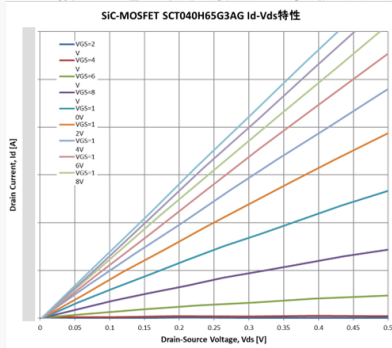


Fig.5-7-1(a) Id-Vds特性

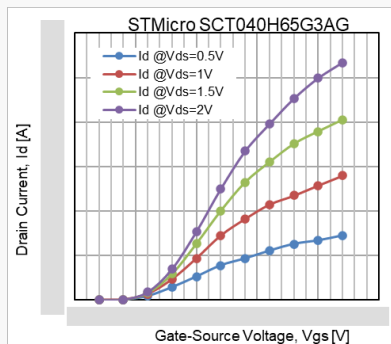


Fig.5-7-1(c) Id-Vgs特性

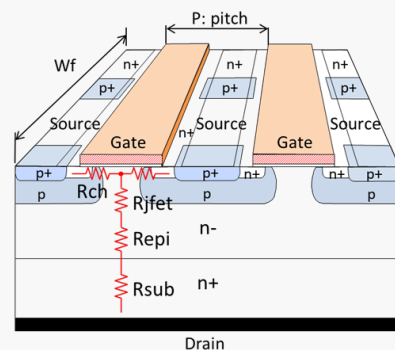


Fig.5-7-1(b) プレーナSiC MOSFETの模式図

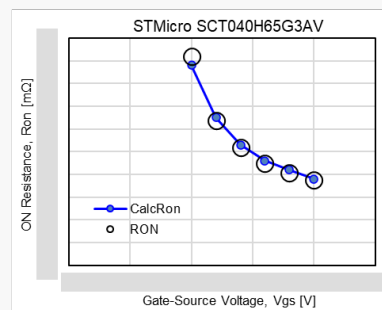


Fig.5-7-3 実測RON(丸印)とモデル計算RON(青線)の比較

5-8. Nepi不純物濃度の抽出

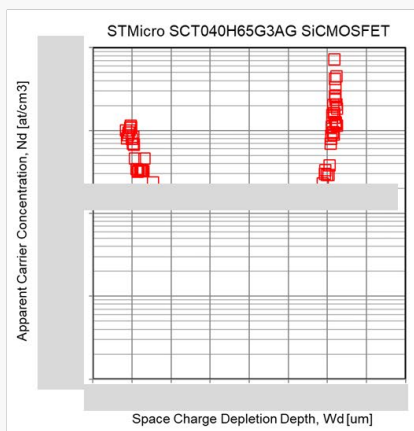


Fig. 5-8-1(a) 深さ方向のキャリア濃度プロファイル

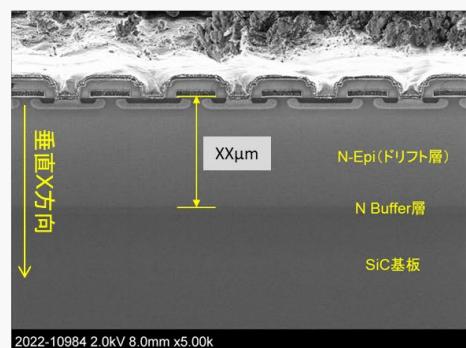


Fig. 5-8-1(b) SEM断面