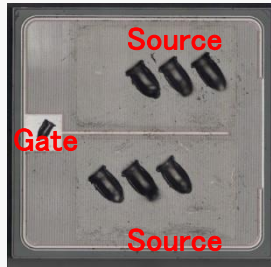


Microsemi製1200V SiC MOSFET (MSC040SMA120B)の 構造解析、プロセス解析レポート

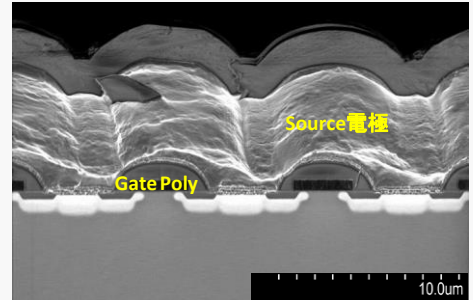
株式会社エルテックは、Microsemi製1200V SiC MOSFET (MSC040SMA120B) の
構造解析レポート、プロセス解析レポートをリリースしました。



Package



チップ写真



SiC MOSFET断面

製品概要・特徴

本製品は、2018年3月に発表されたMicrosemi社の第2世代 1200V SiC MOSFETです。
H/EVパワートレイン、EV充電器、PVインバータ、コンバータ、産業用モータドライブや溶接機などを
対象としています。

また、本製品は2000mJのアバランシェエネルギーと3 μ sの短絡パルスに耐えるように
構造設計されています。※他のメーカー(Rohm、WolfSpeed)は、これらの特性を保証していません。

解析結果ポイント

- ・単位面積あたりのオン抵抗は、 $RONxA = 580m\Omega \cdot mm^2$ (トランジスタ活性領域面積)である。
この $RONxA$ は、Microsemi社の第1世代SiCトランジスタの55%減になる。
- ・コンタクト形状は、第1プロセス世代(APT80SM120B)と比較して改良されている。
これはバリアメタルのカバレッジを改善し、応力誘起クラックを排除すると考えられる。
- ・二層構造のバリアメタルが用いられている。
これは大電流短絡事象中にSiCへのAlのスパイクを防止するものと考えられる。

レポート内容

○構造解析レポート

- ・チップ平面解析 配線接続、レイアウト確認
- ・チップ断面解析 チップ端部トランジスタ断面SEM観察、EDX材料分析
- ・電気特性評価 (BVdss、Id-Vd、容量特性)

○プロセス解析レポート

- ・SiC MOSFETの製造プロセスフロー推定、マスク枚数、プロセス・シーケンス断面図
- ・デバイス構造と電気特性解析: ON抵抗成分解析など

Microsemi社製品と他社のSiC MOSFETの特性比較

Maker	Part no.	プロセス世代	生産	チップサイズ		Vdss [V]	RON [mΩ]	Intrinsic RONxA mΩ・mm2
				mmxmm	mm2			
ROHM	SCT2080KE	第2	2012	4.37 x 2.95	12.9	1200	80	810
ROHM	SCT3080KL	第3	2016	3.01 x 2.41	7.25	1200	80	408
CREE	C2M0080120D	第2	2013	3.07 x 3.34	10.3	1200	80	501
WOLFSPEED (CREE)	C3M0075120K	第3	2017	2.44 x 2.75	6.7	1200	75	346
INFINEON	FF11MR12W1M1_B1	第1	2017	3.76 x 3.08	11.6	1200	44	361
Microsemi	APT80SM120B	第1		5.60 x 5.60	31.4	1200	40	1076
Microsemi	MSC040SMA120B	第2	2018	4.38 x 4.39	19.2	1200	40	580
LITTELFUSE	LSIC1M0120E0080	-	2017	2.03 x 4.50	10.4	1200	80	562

第1世代と第2世代 特性比較

	1 st Gen	2 rd Gen
	APT80SM120B	MSC040SMA120B
Transistor Configuration	Planar	Planar
Die size [mm x mm]	5.6 x 5.6 ※ 31.36 mm ²	4.38 x 4.39 19.23 mm ²
Intrinsic RON x A (FOM) [mΩ・mm ²]	1076	580
Blocking Voltage	1200 V	
R _{ds(on)} at 25° C	40 mΩ	40 mΩ
Ciss	3850 pF	1990 pF
Coss	220 pF	156 pF
Gate charge total (QgXRon)	8800 nC・mΩ	5480 nC・mΩ
Output Capacitance (CossXRon)	8800 pF・mΩ	6240 pF・mΩ
Average Selling Price	~34 \$	~20 \$

Table of Contents

【目次】構造解析レポート		頁
1	表1: デバイスサマリー.	3
1-1	解析結果まとめ.	4
	表2: デバイス構造: SiC MOSFET	5
	表3: デバイス構造: レイヤー材料・膜厚.	6
2	Microsemi社製品と他社のSiC MOSFETの特性比較	7
3	パッケージ外観解析.	8
3-1	外観・X線観察	9-10
3-2	パッケージ内部の構成	11-12
4	SiC MOSFET解析	13
4-1	平面観察	14-40
4-2	平面構造解析(SEM)	41-47
4-3	断面構造解析(SEM)	48-58
5	電気特性評価	59
5-1	Microsemi SiC MOSFET MSC040SMA120Bの I_d - V_{ds} 特性	60
5-2	デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン電圧(V_{ds})	61
5-3	オフ状態破壊電圧 BV_{dss} 特性	62
5-4	容量(C_{iss} , C_{oss} , C_{rss})- V_{ds} 特性	63

Table of Contents

【目次】プロセス解析レポート		頁
1	Microsemi社のSiC系MOSFET MSC040SMA120B解析結果のまとめ	3
1.1	Microsemi社製品と他社のSiC MOSFETの特性比較	4
1.2	SiC MOSFETチップ全体	5
1.3	チップ端部	6
1.4	デバイス構造: SiC MOSFET	7
	トランジスタの模式的な断面図	7
	チップ全体断面模式図と模式的なレイアウトパターン	8
2	SiC MOSFET観察	9
2.1	平面構造解析 (SEM)	9
	トランジスタの構造・プロセスの特徴(1) - (6)	10-14
2.2	トランジスタの耐量性を強化するための対策	15
2.3	チャンネル長Lchを決定するためのN+およびPウェル拡散のセルフアライン形成プロセスの詳細 (推定)	17
3	Microsemi社のSiC系MOSFET MSC040SMA120B解析結果まとめ	18
	表1 デバイス構造 : SiC MOSFET	18
	表2 SiC MOSFET構造 : レイヤー材料・膜厚	19
4	プロセスフロー	20
4.1	SiC MOSFETのフロントエンドウェーハプロセスフロー(推定)	20
4.2	SiC MOSFETのプロセス・シーケンス断面図	21-25
5	電気特性評価	26
5.1	Microsemi SiC MOSFET MSC040SMA120Bの I_d - V_{ds} 特性	27
5.2	デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン電圧(V_{ds})および活性化エネルギー(E_a)	28
5.3	オフ状態破壊電圧 BV_{dss} 特性	29
5.4	容量(C_{iss} , C_{oss} , C_{rss})- V_{ds} 特性	30
5.5	デバイス構造と電気特性解析: ON抵抗	31
5.6	N-エピ層不純物濃度解析	33
5.7	デバイス構造と電気特性解析	34
6	関連文献目録	35
7	関連特許目録	35