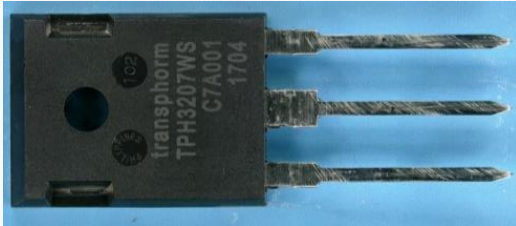
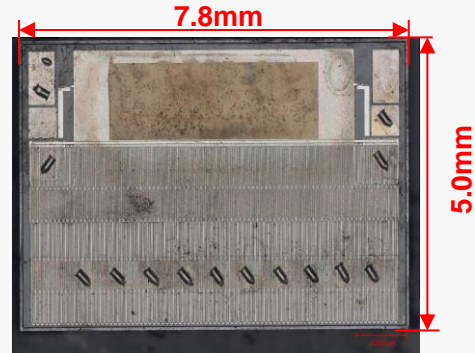


Transphorm製 650V GaN FET TPH3207WS 構造解析レポート



パッケージ写真



GaN HEMT チップ写真

製品特徴

- ・JEDEC認定のGaNパワートランジスタ
- ・高電流仕様 ($I_d = 50A$) のカスコード型GaNトランジスタ ※Panasonic GaN Max $I_d = 26A$

解析結果ポイント

- ・動作電圧 $V_{dss} = 650V$ に対し、破壊電圧 $BV_{dss} = \sim 1700V$ とマージンを大きく上げている
- ・ゲート入力発振・リングング低減対策、フェライトビーズ部品搭載
- ・JEDECテストに合格するための性能向上技術 (GaNエピ層の厚膜化、高耐圧レイアウト)
- ・標準のTO-247パッケージに大面積カスコードトランジスタ構成を収容するため、チップオンチップアセンブリ (GaNチップ上にSiMOSFETチップ) を採用

レポート内容、価格

構造解析レポート

- ・他社GaNトランジスタとの主な特徴の比較
- ・パッケージ断面解析、SEM-EDX
- ・GaN 平面観察、各層配線レイアウト
- ・GaN 断面観察 (SEM、TEM)、GaNエピ層TEM-EDX材料分析
- ・電気特性評価 (RON, オフ状態リーク電流対温度、破壊電圧、ドレイン出力容量 (C_{oss} 対 V_{ds}))

Table of Contents

【目次】	頁
1	デバイスサマリー(表1) 3
1.1	エグゼクティブサマリー 4
1.2	解析結果まとめ 5-6
1.3	他社GaNトランジスタの主な特徴の比較..... 7
2	パッケージと実装解析..... 8
2.1	外観・X線観察 9-12
2.2	断面解析..... 13-30
3	TPH3207WSTransistorのCascode構成..... 31
3.1	GaN HEMTチップ写真..... 32
3.2	SiMOSFETチップ写真..... 33
4	GaN HEMTチップ解析..... 34
4.1	GaNトランジスタの構造解析結果のまとめ..... 35
	表2: デバイス構造: GaN HEMT 35
	表3: デバイス構造・プロセス 36
	表4: デバイス構造: レイヤー材料・膜厚 36
4.2	平面観察 37-57
4.3	平面構造解析(SEM) 58-61
4.4	断面構造解析(SEM) 62-68
4.5	TEM構造解析..... 69-75
4.6	GaNエピ層のSEM/TEM EDXによる構造/材料分析..... 76
4.7	TEM EDXの材料分析..... 77

Table of Contents

【目次】	頁
5 電気特性評価.....	78
5.1 カスコードGaNの I_d - V_{ds} 特性.....	79
5.2 デバイス温度をパラメータとしてカスコードのオフ状態のドレイン電流 対ドレイン電圧(V_{ds})および活性化エネルギー(E_a).....	80
5.3 オフ状態破壊電圧 BV_{dss} 特性.....	81
5.4 容量(C_{iss} , C_{oss} , C_{rss})- V_{ds} 特性.....	82
5.5 GaN HEMTデバイス構造と電気特性解析：ON抵抗.....	83-84
5.6 GaN HEMT 2DEGシート抵抗およびキャリア濃度の推定.....	85
6 付録解析データ.....	86
6-1 付録1: パッケージ・実装EDX分析データ.....	87-123
6-2 付録2: GaN HEMT EDX分析データ.....	124-155